

P-2250

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257357

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 29/786

(21)Application number : 2000-068629

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 08.03.2000

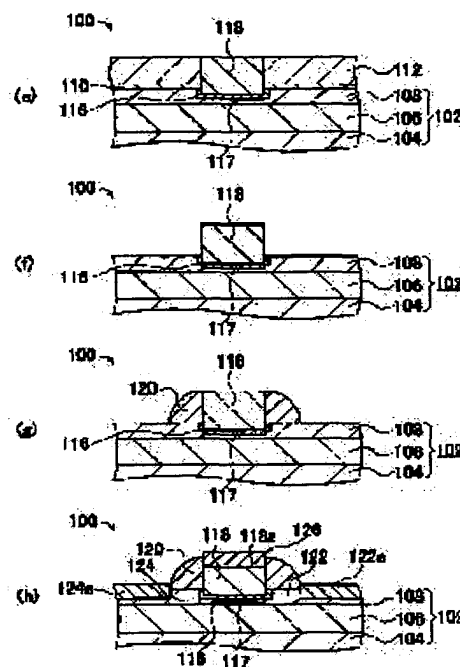
(72)Inventor : IDA JIRO
TAKEDA MAKOTO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which has an SOI structure, capable of suppressing its short channel effect and its parasitic resistance.

SOLUTION: On a semiconductor layer 108, which is the constituent an SOI wafer 102 of a semiconductor device 100, first and second insulation layers 110, 112 are formed. An opening portion 114 is formed in the first and second insulation layers 110, 112 so that the thickness of the portion of semiconductor layer 108, where a channel portion 117 is formed is made smaller than the thickness of the portion of the semiconductor layer 108 where source and drain portions 122, 124, are formed. After forming a gate insulation film 116 in the semiconductor layer 108, the channel portion 117 is formed in the portion of the semiconductor layer 108, which is present below the gate insulation film 116. After forming a gate electrode 118 in the opening portion 114, the first and second insulation films 110, 112 are removed to form sidewalls 120. In the semiconductor layer 108, the source and drain portions 122, 124 are formed so as to interpose the channel portion 117 between them, and the surfaces of the source and drain portions 122, 124 are made into silicide.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

【請求項6】 前記第1開孔部を形成する工程は、露出した前記半導体層を酸化処理し、前記半導体層に酸化層を形成する工程と；前記酸化層を除去し、前記半導体層を露出させる工程と；を含むことを特徴とする。請求項4または5のいずれかに記載の半導体装置の製造方法。

【請求項7】 半導体基板上に埋め込み絶縁膜と半導体層とが積層されたSOI基板上に半導体素子を形成する半導体装置の製造方法であって、前記半導体層上に絶縁膜を形成する工程と；前記絶縁膜を貫通し、前記半導体層に接続される開孔部を形成する工程と；前記開孔部内に露出した前記半導体層にゲート絶縁膜を形成する工程と；前記ゲート絶縁膜下方の前記半導体層にチャネル領域を形成する工程と；前記チャネル領域形成後、前記開孔部を形成する工程と；前記ゲート絶縁膜上に渡り渡り電極を形成する工程と；前記電極層上の前記開孔部上を含むゲート電極形成と；前記ゲート電極を形成する工程と；前記レジスト領域に渡りレジスト膜を形成する工程と；前記レジスト膜をマスクとして前記電極層と前記絶縁膜とをパターニングし、前記電極層からなるゲート電極を形成する工程と；前記ゲート電極形成後、前記チャネル領域を形成する工程と；前記ソース領域とドレイン領域とを形成する工程と；前記ソース領域と前記ドレイン領域とにシリサイド領域を形成する工程と；を含む、前記開孔部を形成する工程は、前記チャネル領域が形成される前記半導体層の厚みが前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みより薄くなるように前記開孔部を形成する工程であること；を特徴とする。半導体装置の製造方法。

【請求項8】 前記開孔部を形成する工程は、露出した前記半導体層を酸化処理し、前記半導体層に酸化層を形成する工程と；前記酸化層を除去し、前記半導体層を露出させる工程と；を含むことを特徴とする。請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特にSOI (Silicon On Insulator) 基板上に形成されるFD (Full Depletion) 型MOS (Metal-Oxide Semiconductor) FET (Field Effect Transistor) およびその製造方法に関する。

【0002】

【従来の技術】 最近、半導体装置の製造においては、超高集積化傾向に加え、低消費電力化や高速動作化が技術的要求項目の一つに挙げられている。かかる技術的要求を達成するべく、図8に示すように、SOIウェハ12にLSI (Large Scale Integrated circuit)、例えばFET型MOSFET素子を形成した半導体装置10が提案されている。SOIウェハ12は、半導体基板14上にBOX (Buried

【特許請求の範囲】

【請求項1】 半導体基板上に埋め込み絶縁膜と半導体層とが積層されたSOI基板上に形成された半導体素子を備える半導体装置において、前記半導体層上にゲート絶縁膜を介して形成されるゲート電極と；前記ゲート電極下方の前記半導体層内に形成されるチャネル領域と；前記チャネル領域を挟んで前記半導体層に形成されるソース領域およびドレイン領域と；前記ソース領域と前記ドレイン領域とに形成されるシリサイド領域と；を備え、前記チャネル領域が形成される前記半導体層の厚みは、前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みより薄く、前記チャネル領域が形成される前記半導体層の厚みを特徴とする。半導体装置。

【請求項2】 前記半導体層上には、絶縁膜が形成され、前記ゲート電極は、前記絶縁膜を貫通し前記ゲート絶縁膜に接続される開孔部から前記絶縁膜上に渡り形成されること；を特徴とする。請求項1に記載の半導体装置。

【請求項3】 前記ゲート絶縁膜は、SiO₂よりも誘電率が高い材料から構成されることを特徴とする。請求項1または2のいずれかに記載の半導体装置。

【請求項4】 半導体基板上に埋め込み絶縁膜と半導体層とが積層されたSOI基板上に形成された半導体素子を形成する半導体装置の製造方法であって、前記半導体層上に第1絶縁膜を形成する工程と；前記第1絶縁膜を貫通し、前記半導体層に接続される第1開孔部を形成する工程と；前記第1開孔部内に露出した前記半導体層に第1ゲート絶縁膜を形成する工程と；前記第1ゲート絶縁膜下方の前記半導体層にチャネル領域を形成する工程と；前記チャネル領域形成後、前記第1開孔部内に第1ゲート電極を形成する工程と；前記第1ゲート電極の形成後、前記第1絶縁膜を除去する工程と；前記第1ゲート電極を形成する工程と；前記ソース領域とドレイン領域とを形成する工程と；前記ソース領域と前記ドレイン領域とにシリサイド領域を形成する工程と；を含む、前記第1開孔部を形成する工程は、前記チャネル領域が形成される前記半導体層の厚みが前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みより薄くなるように前記第1開孔部を形成する工程であること；を特徴とする。半導体装置の製造方法。

【請求項5】 さらに、前記シリサイド領域の形成後、前記半導体層上に前記第1ゲート電極が露出する第2絶縁膜を形成する工程と；前記第2絶縁膜の形成後、前記第1ゲート電極と前記第1ゲート絶縁膜を除去し、第2開孔部を形成する工程と；前記第2開孔部内に露出した前記半導体層に、SiO₂よりも誘電率が高い材料からなる第2ゲート絶縁膜を形成する工程と；前記第2ゲート絶縁膜の形成後、前記第2開孔部内に第2ゲート電極を形成する工程と；を含むことを特徴とする。請求項4に記載の半導体装置の製造方法。

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-257357
(P2001-257357A)
(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int. Cl.⁷
H01L 29/786
H01L 29/78
H01L 51/10
618D 5F110
617T

PI
チコ・ド・(参考)

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-68628X (P2000-68628)
(22) 出願日 平成12年3月8日 (2000.3.8)

(71) 出願人 000000285
神電工業株式会社
東京都港区虎ノ門1丁目7番12号
井田 次郎
東京都港区虎ノ門1丁目7番12号 神電工業株式会社内
竹田 真
東京都港区虎ノ門1丁目7番12号 神電工業株式会社内
(74) 代理人 100095957
井理士 亀谷 美明 (外3名)

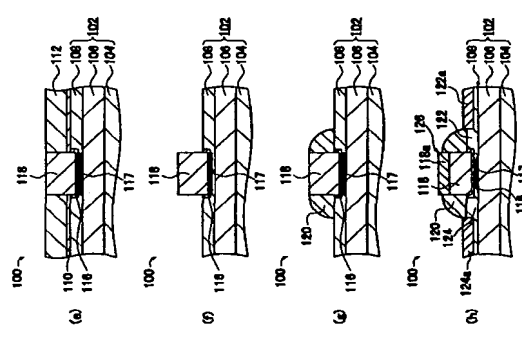
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 短チャネル効果および寄生抵抗を抑制可能なSOI構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置100のSOIウェハ102を構成する半導体層108上に第1および第2絶縁膜110、112を形成する。第1および第2絶縁膜110、112に、チャネル部117を形成する半導体層108の厚みがソースおよびドレイン部122、124を形成する半導体層108の厚みより薄くなるように開孔部114を形成する。半導体層108にゲート絶縁膜116を形成後、ゲート絶縁膜116下方の半導体層108にチャネル部117を形成する。開孔部114内にゲート電極118を形成後、第1および第2絶縁膜110、112を除去し、サイドウォール120を形成する。チャネル部117を挟んで半導体層108にソースおよびドレイン部122、124を形成し、表面をシリサイド化する。



4 aとをそれぞれ形成できる厚み、例えば60 nm程度に成膜する。

【0018】SOIウェハ102上にFDD型MOSFET素子を形成する場合には、まず図1(a)に示すように、半導体層108上に第1絶縁層110と第2絶縁層112とを順次形成する。第1絶縁層110は、例えばSiNから成り、CVD法により10 nm程度の厚みに成膜されている。また、第2絶縁層112は、例えばSiO₂から成り、CVD法により200 nm程度の厚みに成膜されている。

【0019】次いで、図1(b)に示すように、フォトリソグラフィおよびエッチング法(以下、「フォトリソエッチング法」という。)により、後述のゲート電極118を形成する箇所の第1および第2絶縁層110、112を除去し、開孔(溝)部114を形成する。その結果、開孔部114の底部には、半導体層108が露出する。

【0020】次いで、図1(c)に示すように、第1絶縁層110をマスクとして半導体層108の露出部分をドライエッチングする。半導体層108のエッチング部分には、後述の工程でチャネル部(領域)117が形成される。チャネル部117下部の半導体層108は、短チャネル効果を抑制できる程度に薄膜化すること好まし、例えば、ゲート電極118のゲート長を0.1 μmよりも短くする場合に、短チャネル効果の抑制にはチャネル部117下部の半導体層108の厚みを10 nm以下にする必要がある。また、ゲート電極118のゲート長を0.1 μmにする場合には、上記半導体層108の厚みが0.2 μm程度でも良い。さらに、ゲート電極118のゲート長を0.2 μmにする場合には、上記半導体層108の厚みが0.3 μm程度でも良い。ただし、ゲート電極118のゲート長が0.1 μm～0.2 μmであっても、上記半導体層108の厚みを10 nm以下にすれば、短チャネル効果を抑制できる。

【0021】そこで、本実施の形態では、ゲート電極118のゲート長が0.2 μm以下の場合にはもちろん、0.2 μm以上であっても、チャネル部117下部の半導体層108の厚みが10 nm以下になるように上記エッチングを行う。従って、例えば半導体層108の厚みが60 nm程度であれば、チャネル部117を形成する半導体層108を50 nm程度エッチングし、10 nm程度の厚みの半導体層108を残される。かかる構成によれば、チャネル部117が形成される半導体層108を選択的に厚膜調整することができる。

【0022】また、上記図1(c)に示す工程に代えて、図2に示す工程により、チャネル部117を形成する半導体層108を上記厚みにすることもできる。すなわち、図1(b)に示す工程の後、図2(c-1)に示すように、開孔部114底部に露出した半導体層108を熱酸化処理し、酸化層108aを形成する。この際、

熱酸化処理は、酸化層108a下部の半導体層108が上述した膜厚、例えば10 nm以下になるように行う。例えば、酸化層108aは、上記の如く半導体層108の厚みが60 nm程度であれば、50 nm程度の厚みに形成する。かかる構成によれば、除去する酸化層108aを熱酸化処理により形成する。熱酸化処理は、ドライエッチング処理と比較して制御性が高い。その結果、所定厚みの酸化層108aを均一に形成できる。

【0023】次いで、図2(c-2)に示すように、酸化層108aを、例えばH₂F等を用いたウェットエッチング法により除去し、半導体層108を残存させる。かかる工程によっても、図1(c)に示す工程と同様に、10 nm以下の厚みの半導体層108を形成できる。かかる構成によれば、酸化層108aをウェットエッチング法により除去する。ウェットエッチング法によれば、酸化層108aを選択的に除去することができる。その結果、上記10 nm以下の厚みの半導体層108を均一かつ確実に形成できる。

【0024】再び、図1に戻る。チャネル部117を形成する半導体層108を上記10 nm以下の厚みにした後に、図1(d)に示すように、開孔部114内の半導体層108の露出面に、熱酸化法により、ゲート酸化膜116を形成する。また、ゲート酸化膜116は、デザインルールに応じた厚みに成膜されている。次いで、半導体層108とゲート酸化膜116との界面に、イオン注入法により、チャネルイオン、例えばBイオンを注入し、チャネル部117を形成する。

【0025】次いで、図3(e)に示すように、SOIウェハ102の表面全面に、例えばCVD法により、ゲート電極118の構成材料、例えばポリシリコンを堆積し、導電層を形成する。その後、導電層が開孔部114内に残存するように、エッチバック法やCMP(化学的機械的研磨)法などにより、第2絶縁層112上に堆積した不要な導電層を除去する。その結果、開孔部114内にポリシリコンから成るゲート電極118が形成される。

【0026】次いで、図3(f)に示すように、エッチング法により、第1および第2絶縁層110、112を除去する。次いで、図3(g)に示すように、SOIウェハ102の表面に、例えばCVD法により絶縁性材料、例えば窒化シリコンを堆積する。その後、窒化シリコン層がゲート電極118の側面に残存するように、フォトリソエッチング法により、半導体層108上およびゲート電極118上の不要な窒化シリコン層を除去する。その結果、ゲート電極118の側面にサイドウォール120が形成される。

【0027】次いで、図3(h)に示すように、ゲート電極118周囲の半導体層108にソース部122およびドレイン部124を形成する。ソース部122およびドレイン部124は、ゲート電極118を用いたセルフ

アライン(自己整合)技術を用いて、高ドーイズオン注入法による不純物イオン、例えばAsイオンの注入により形成される。その後、ソース部122およびドレイン部124を熱酸化処理し、活性化させる。次いで、ゲート電極118、ソース部122、ドレイン部124の構成をサリサイド処理し、ゲートシリサイド部118a、ソースシリサイド部122a、ドレインシリサイド部124aを形成する。その結果、SOIウェハ102にFDD型MOSFET 126が形成される。

【0028】以上のように、本実施の形態によれば、チャネル部117下部の半導体層108と、ソースシリサイド部122aあるいはドレインシリサイド部124aとを個別独立の厚みに形成することができる。このため、チャネル部117下部の半導体層108をチャネル効果を抑制できる程度に薄膜化し、かつソースシリサイド部122aあるいはドレインシリサイド部124aを寄生抵抗を抑制できる程度に膜厚化することができる。その結果、SOIウェハ102上に超微細なFDD型MOSFET素子126を形成しても、チャネル効果および寄生抵抗を抑制できる。

【0029】(第2の実施の形態) 次に、図4を参照しながら、本発明の第2の実施の形態にかかる半導体装置200について説明する。半導体装置200を形成する場合には、まず上記第1の実施の形態で説明した図1～図3に示す各工程を行い、図3(h)および図4(a)に示す如く、ゲートシリサイド部118a、ソースシリサイド部122a、ドレインシリサイド部124aを形成する。

【0030】次いで、図4(b)に示すように、SOIウェハ102の表面全面に、例えばCVD法により、第3絶縁層202を堆積する。第3絶縁層202は、絶縁性材料、例えばSiO₂から成る。その後、第3絶縁層202を、エッチバック法やCMP法などにより、ゲートシリサイド部118aの表面が露出するまで除去する。

【0031】次いで、図4(c)に示すように、ゲートシリサイド部118a、ゲート電極118、ゲート酸化膜116を除去する。この際、ゲートシリサイド部118aおよびゲート電極118は、ドライエッチング法により、第3絶縁層202との選択比を確保して第3絶縁層202がエッチングされないように除去する。また、ゲート酸化膜116は、H₂Fなどを使用したウェットエッチング法により除去する。その結果、チャネル領域117上に開孔部204が形成される。次いで、開孔部204内に露出した半導体層108の露出面、すなわち、チャネル部117、ソース部122、ドレイン部124の露出面を酸化処理し、例えば厚みが1 nm程度の酸化層206を形成する。かかる構成によれば、後述の高導電率膜から成るゲート酸化膜208と半導体層108とが直接接触しなくなり、界面単位を減らすことができ

る。

【0032】次いで、図4(d)に示すように、開孔部204と第3絶縁層202との露出面に、例えばスパッタ法により、SiO₂よりも誘電率が高い材料、例えばSiN、Al₂O₃、Ta₂O₅などを堆積し、ゲート酸化膜208を成膜する。その後、SOIウェハ102の表面全面に、例えばCVD法やスパッタ法により、ポリシリコンやTiN等を堆積する。そして、フォトリソエッチング法により、不要なポリシリコン層等を除去し、ゲート電極210を形成する。

【0033】以上のように、本実施の形態によれば、上記第1の実施の形態の構成および効果に加え、ゲート酸化膜208をSiO₂よりも高誘電率の材料から形成できる。このため、ゲート電極210のゲート長を0.1 μm以下などに短くしても、MOSFETの駆動力などの動作性能を向上させることができる。また、本実施の形態によれば、ソース部122およびドレイン部124の活性化に伴う熱処理後、かつソースシリサイド部122aおよびドレインシリサイド部124a形成時の熱処理後に、改めてゲート酸化膜208を形成できる。ゲート酸化膜208を構成する高誘電率の膜の形成は、一般的に高温処理を行うと、リーク電流の増大等の膜質の劣化を起す。従って、本実施の形態によれば、ゲート酸化膜208の形成後は高温加熱処理を行わずに、高誘電率膜から成るゲート酸化膜208を採用しても、上記膜質の劣化が発生することがない。

【0034】(第3の実施の形態) 次に、図5～図7を参照しながら、本発明の第3の実施の形態にかかる半導体装置300について説明する。半導体装置300は、上記半導体装置100、200とは異なり、以下のよう形成される。まず、図5(a)に示すように、SOIウェハ102の半導体層108上に第1絶縁層302を形成する。第1絶縁層302は、例えばSiNから成り、CVD法により50 nm程度の厚みに成膜されている。なお、SOIウェハ102は、上記半導体装置100、200と同一に構成されている。

【0035】次いで、図5(b)に示すように、半導体装置100、200の製造工程とは異なり、第2絶縁層112を形成せずに、フォトリソエッチング法により、ゲート電極306を形成する箇所の第1絶縁層302を除去し、開孔(溝)部304を形成する。その結果、開孔部304の底部には、半導体層108が露出する。

【0036】次いで、図5(c)に示すように、上記第1の実施の形態で説明した図1(c)に示す工程と同様に、第1絶縁層302をマスクとして半導体層108の露出部分をドライエッチングする。また、該エッチングは、ゲート電極306のゲート長に問わず、チャネル部117下部の半導体層108の膜厚が上記10 nm以下になるまで行う。かかる構成により、上記第1および第2の実施の形態と同様に、短チャネル効果を抑制でき

る。
【0037】また、上記図5(c)に示す工程に代えて、上記第1の実施の形態で説明した図2に示す工程と同様の図6に示す工程により、チャネル部117を形成する半導体層108の膜厚調整を行っても良い。すなわち、図6(c-1)に示すように、上記図2(c-1)に示す工程と同様に、開孔部304底部に露出した半導体層108を熱酸化処理し、酸化層108aを形成する。その後、図6(c-2)に示すように、上記第2(c-2)に示す工程と同様に、酸化層108aをウェットエッチング法により除去し、チャネル部117下部の半導体層108の厚みを10nm以下とする。

【0038】再び、図5に戻る。半導体層108のチャネル部117を形成する部分を上記厚みにした後に、図5(d)に示すように、上述した図1(d)に示す工程と同様に、開孔部114内の半導体層108の露出面に、熱酸化法により、ゲート酸化膜116を形成する。次に、半導体層108とゲート酸化膜116との界面に、イオン注入法により、チャネルイオンとなるBイオンを導入し、チャネル部117を形成する。

【0039】次いで、図7(e)に示すように、上述した図3(e)に示す工程と同様に、SOIウェハ102の表面全面に、CVD法により導電性材料、例えばポリシリコンを堆積し、導電層306aを形成する。導電層306aは、例えば300nm程度の厚みに形成する。

【0040】次いで、図7(f)に示すように、ゲート電極306を形成する部分の導電層306a上に不図示のレジスト層を形成した後、ドライエッチングを行い、ゲート電極306を形成する。本実施の形態では、開孔部304の形成部分以外の半導体層108上に、第1絶縁膜302が形成されている。かかる構成により、開孔部304の形成部分以外では、上記導電層306aを形成しても、第1絶縁膜302により導電層306aと半導体層108とが絶縁できる。このため、ゲート電極306のバタニング時に、導電層306aを開孔部304だけでなく、第1絶縁膜302上にも残存させれば、ゲート電極306の断面面積を増加させることができる。その結果、半導体層300の超微細化により、開孔部304の幅(ゲート電極306のゲート幅)が狭まっても、第1絶縁膜302上にも導電層306a(ゲート電極306)を残存させれば、ゲート電極306の底面積を増加防止できる。

【0041】また、ゲート電極306のゲート底面積は、一般的に100Q以下にすることが好ましい。そして、かかる底面積を満たすゲート電極306の断面面積は、例えばゲート電極306のゲート長を0.05μmとし、ゲート幅を10μmとし、ゲート電極306に形成される後述のゲートシリサイド部306bのシート抵抗が5Ω/□であるとする、0.5μm²以上となる。そこで、ゲート電極306の断面面積が開孔部304

に形成された部分で上記0.5μm²以上にしない場合には、上記断面面積を満たすようにゲート電極306の上部を第1絶縁膜302上面に沿って形成する。この際、ゲート電極306の断面形状は、図7(f)に示すように、略T字状になる。かかる構成によれば、ゲート電極306の一部を第1絶縁膜302上にも形成できる。このため、ゲート電極306の断面面積を容易に広げることができる。その結果、チャネル部117を狭小化しても、ゲート電極306のゲート底面積が増大すると防止できる。

【0042】ゲート電極306の形成後、図7(g)に示すように、上記ゲート電極306上のレジスト膜をマスクとしてドライエッチング処理を行い、不要な第1絶縁膜302を除去する。その結果、ゲート電極306と半導体層108との間に、第1絶縁膜302が残る。

【0043】次いで、図7(h)に示すように、上記図3(g)および図3(h)に示す工程と同様に、サイドウォール120、ソース部122、ドレイン部124、ゲートシリサイド部306b、ソースシリサイド部122a、ドレインシリサイド部124aを形成する。その結果、SOIウェハ102上にFD型MOSFETが形成される。

【0044】以上のように、本実施の形態によれば、チャネル部117を微細化しても、ゲート電極306の断面面積を確保することができる。このため、ゲート電極306のゲート底面積の増大を防止できる。また、本実施の形態によれば、図5(a)に示すように、半導体層108上に多層に渡り絶縁層を形成する必要がないなど、製歩工程を簡素化できる。その結果、半導体層300の歩留りの向上、製造コストの低下、製造期間の短縮を図ることができる。

【0045】以上、本発明の好適な実施の形態について、添付図面を参照しながら説明したが、本発明はかかる構成に限定されるものではない。特許請求の範囲に記載された技術的思想の範囲において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても本発明の技術的範囲に属するものと了解される。

【0046】

【発明の効果】本発明によれば、SOI基板上の半導体層の底面積を、チャネル領域と、ソース領域およびドレイン領域とで個別独立に設定することができる。このため、チャネル領域の半導体層の厚みを薄くすれば、短チャネル効果を抑制できる。また、ソース領域およびドレイン領域の半導体層の厚みを厚くし、各領域に形成されるシリサイド領域の厚みを厚くすれば、寄生抵抗を抑制できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の製造工程を説明するための半導体装置の概略的な断面図であ

る。

【図2】本発明の第1の実施の形態の半導体装置の他の製造工程を説明するための半導体装置の概略的な断面図である。

【図3】本発明の第1の実施の形態の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図4】本発明の第2の実施の形態の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図5】本発明の第3の実施の形態の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図6】本発明の第3の実施の形態の半導体装置の他の製造工程を説明するための半導体装置の概略的な断面図である。

【図7】本発明の第3の実施の形態の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図8】従来の半導体装置を示す概略的な断面図であ

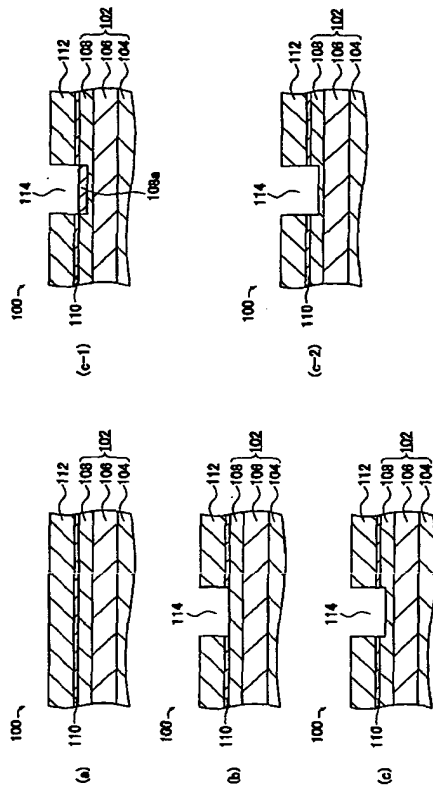
る。

【符号の説明】

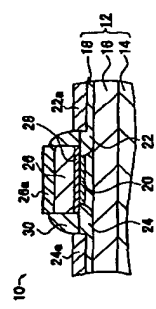
- 100 半導体装置
- 102 SOIウェハ
- 104 半導体基板
- 106 BOX層
- 108 半導体層
- 110 第1絶縁膜
- 112 第2絶縁膜
- 114 開孔部
- 116 ゲート酸化膜
- 117 チャネル部
- 118 ゲート電極
- 118a ゲートシリサイド部
- 120 サイドウォール
- 122 ソース部
- 122a ソースシリサイド部
- 124 ドレイン部
- 124a ソースシリサイド部
- 126 FD型MOSFET素子

【図1】

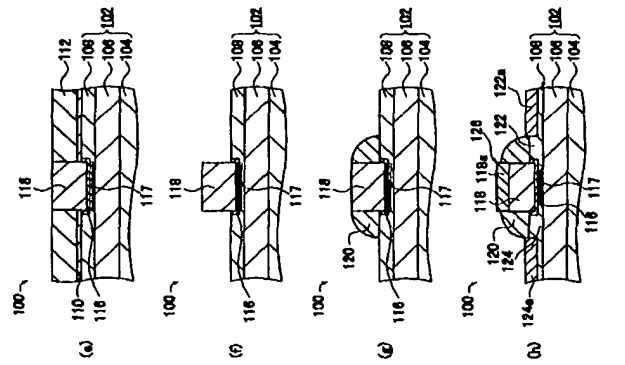
【図2】



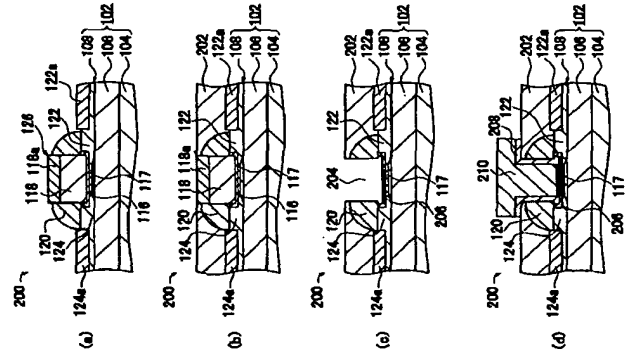
【図8】



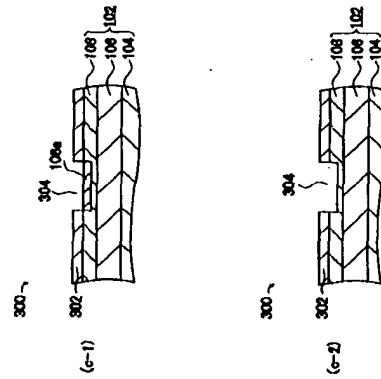
【图3】



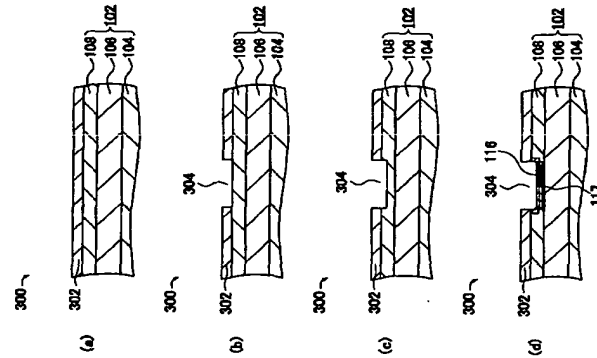
【图4】



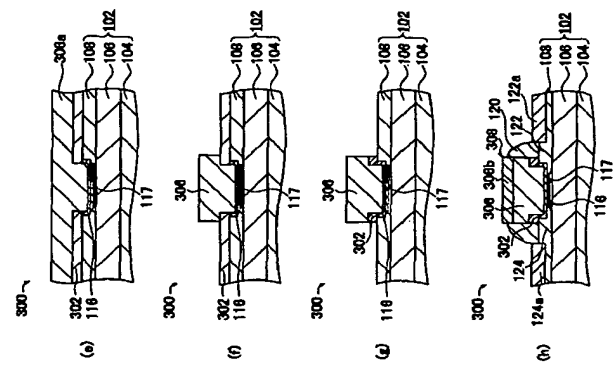
【图6】



【图5】



【图7】



フロントページの続き

F 74-2 (参考) 5F110 AK03 AK06 C002 D005 D013
E001 E005 H009 F014 E032
E044 E045 F001 F002 F003
F023 F028 G020 G012 G022
G025 G028 G029 G032 G052
H001 H013 H023 HK05 HK17
HK40 Q011 Q017 Q019